

JAP20 Rec'd FEB 16 2006

明 細 書

マルチチップ型半導体装置

5 技術分野

本発明は、複数の半導体チップを同一パッケージに収容したマルチチップ型半導体装置に関する。

背景技術

10 複数の半導体チップを互いに接続して樹脂モールドしてなるマルチチップ型半導体装置では、半導体チップ相互間の接続が種々の形態で行われる。例えばボンディングワイヤで半導体チップ間の接続が行われる場合もあり、また、半導体チップ同士を重ね合わせてチップ・オン・チップ構造とし、バンプを介して半導体チップ同士の
15 電気接続が行われる場合もある。さらには、配線基板上に複数の半導体チップを接合することによって、複数の半導体チップ同士の電気接続が達成されている場合もある。

同一パッケージに複数のチップを収容する理由としては、例えば高周波信号処理と低周波ベース処理とが必要な L S I を集積化した
20 場合、低周波用プロセスを用いて 1 チップで集積化すると周波数特性が不足するため、高周波信号処理が不可能になり、また高周波用プロセスを用いて 1 チップで集積化するとコストアップになることなどがあげられる。このような場合、それぞれの半導体チップの耐圧がそれぞれ異なる場合があり、種々の解決課題がある。

25 異なる耐圧のチップを同一パッケージに収容したマルチチップ型

半導体の動作テストにおける課題解決法に関しては、例えば特開 2
000-332193号公報に記載された技術を例示することができる。

シリアルデータ伝送に関する課題の解決法について図 6 を参照し
5 て説明する。

図 6 は異なる耐圧のチップを同一パッケージに収容した従来のマ
ルチチップ型半導体の構成を示すブロック図であり、第 1 の半導体
チップ 1 と第 2 の半導体チップ 2 とをパッケージ 3 に収納したマル
チチップ型半導体装置であり、第 1 の半導体チップ 1 は第 1 シリア
10 ルデコーダ 6 と外部接続部 13 とを備えており、第 2 の半導体チッ
プ 2 は第 2 シリアルデコーダ 5 と外部接続部 23 とを備えている。

電圧源 7 はマイコン（マイクロコンピュータ）8 と第 1 の半導体
チップ 1 に接続されている。マイコン 8 から供給されるシリアルデ
ータの一方は、シリアルデータ用外部接続端子 12 を介して第 1 の
15 半導体チップ 1 に供給され、他方は電圧変換回路 21 を介してシリ
アルデータの電圧を減圧し、シリアルデータ用外部接続端子 22 を
介して第 2 の半導体チップ 2 に供給される。

マイコン 8 から供給されたシリアルデータは、並列的に第 1 の半
導体チップ 1 と第 2 の半導体チップ 2 に出力され、第 1 の半導体チ
20 ップ 1 と第 2 の半導体チップ 2 の内部回路を制御する。

なお第 1 の半導体チップ 1 は高耐圧チップであり、第 2 の半導体
チップ 2 は低耐圧チップであって、低耐圧チップの耐圧値はマイコ
ン 8 から供給されるシリアルデータの電圧値以下である。

しかしながら、図 6 に示す従来のマルチチップ型半導体装置のシ
25 リアル伝送方式では、低耐圧チップに外部からシリアルデータを供

給するため、シリアルデータ用外部接続端子 22 が必要であって、ピン数の増大、すなわち実装面積の増大を招き、パッケージ全体の小型化が困難となる。また外部に電圧変換回路 21 が必要となり、コストの増大を招くという問題がある。

5 本発明は、前記従来の問題点に鑑みてなされたものであり、外部接続端子を大幅に増加することなく、かつ外部の電圧変換回路が不要な構成にて、シリアルデータを伝送することができるマルチチップ型半導体装置を提供することを目的とする。

10 発明の開示

前記目的を達成するため、本発明の第 1 の発明は、第 1 の半導体チップと第 2 の半導体チップとをパッケージ内で相互接続して構成されるマルチチップ型半導体装置に関するものであり次の特徴を有する。第 1 の半導体チップは、電圧変換回路と、第 2 の半導体チップと接続するための複数の第 1 のチップ間接続部と、第 1 シリアルデコーダと、パッケージ外に引き出される外部接続端子と、該外部接続端子に接続するための外部接続部とを備える。また、第 2 の半導体チップは、第 2 シリアルデコーダと、第 1 の半導体チップと接続するための複数の第 2 のチップ間接続部とを有し、複数の第 1 のチップ間接続部と複数の第 2 のチップ間接続部とを直接接続するボンディングワイヤを備える。半導体装置がこのように構成されており、外部接続端子より入力されるシリアルデータは電圧変換回路と第 1 のチップ間接続部と第 2 のチップ間接続部とを介して第 2 シリアルデコーダに伝達される。

25 次に、本発明の第 2 の発明は、第 1 の半導体チップと第 2 の半導

体チップとをパッケージ内で相互接続して構成されるマルチチップ型半導体装置に関するものであって次の特徴を有する。第1の半導体チップは、電圧変換回路と、第2の半導体チップと接続するための複数の第1のチップ間接続部と、第1内部回路と、パッケージ外に引き出される外部接続端子と、該外部接続端子と接続するための外部接続部とを備える。また、第2の半導体チップは、第2内部回路と、第1の半導体チップと接続するための複数の第2のチップ間接続部とを備え、複数の第1のチップ間接続部と複数の第2のチップ間接続部とを直接接続するボンディングワイヤを備える。半導体装置がこのように構成されており、外部接続端子より入力される制御信号は電圧変換回路と第1のチップ間接続部と第2のチップ間接続部とを介して第2内部回路に伝達される。

本発明では、第1の半導体チップは高電圧を印加可能なものであり、第2の半導体チップは、第1の半導体チップよりも耐圧が低く、かつ外部から印加されるシリアルデータの電圧、制御信号の電圧より耐圧が低いものにすることが可能である。

また、第1の半導体チップおよび第2の半導体チップは、マイクロコンピュータからのシリアルデータ、制御信号によって制御することが可能である。

これら構成により、低耐圧チップに高電圧を直接印加することなく、シリアルデータの伝送、制御信号の伝達を行うことができる。

本発明によれば、前記のように低耐圧チップに高電圧を直接印加することなく、シリアルデータの伝送、制御信号の伝達を行うことができるため、外部接続端子数を大幅に増加することなく、かつ外部の電圧変換回路が不要な構成で、シリアルデータを伝送すること

ができるマルチチップ型半導体装置の提供が実現する。

図面の簡単な説明

図 1 は本発明の実施形態 1 のマルチチップ型半導体装置の構成を
5 示すブロック図である。

図 2 は本発明の実施形態 2 のマルチチップ型半導体装置の構成を
示すブロック図である。

図 3 は本発明の電圧変換回路の一例を示す回路図である。

図 4 は本発明の実施形態 3 のマルチチップ型半導体装置の構成を
10 示すブロック図である。

図 5 は本発明の実施形態 3 の第 2 シリアルデコーダ入力回路の一
例を示す回路図である。

図 6 は従来のマルチチップ型半導体の構成を示すブロック図であ
る。

15

発明を実施するための最良の形態

以下、本発明の実施形態について図面を参照しながら説明する。
なお、以下の説明において、図 6 にて説明した部材に対応する部材
には同一符号を付した。

20 図 1 は本発明の実施形態 1 のマルチチップ型半導体装置の構成を
示すブロック図であり、高耐圧の第 1 の半導体チップ 1 と低耐圧の
第 2 の半導体チップ 2 とをパッケージ 3 内で相互接続している。

第 1 の半導体チップ 1 は、電圧変換回路 4 と、前記第 2 の半導体
チップ 2との接続のための複数の第 1 のチップ間接続部 10 と、第
25 1 シリアルデコーダ 6 と、パッケージ 3 外に引き出される外部接続

端子 1 2 との接続のための外部接続部 1 3 を有し、また、低耐圧の第 2 の半導体チップ 2 は、第 2 シリアルデコーダ 5 と、前記第 1 の半導体チップ 1 との接続のための複数の第 2 のチップ間接続部 1 1 とを備えている。

5 さらに、前記複数の第 1 のチップ間接続部 1 0 と前記複数の第 2 のチップ間接続部間 1 1 とを直接接続するボンディングワイヤ 9 が設けられ、前記外部接続端子 1 2 より入力されるシリアルデータが、前記電圧変換回路 4 で減圧され、前記第 1 のチップ間接続部 1 0 と前記第 2 のチップ間接続部 1 1 とを介して前記第 2 シリアルデコーダ 5 に供給される構成になっている。
10

図 2 は本発明の実施形態 2 のマルチチップ型半導体装置の構成を示すブロック図であり、第 1 の半導体チップ 1 は、電圧変換回路 4 と、前記第 2 の半導体チップ 2 と接続するための複数の第 1 のチップ間接続部 1 0 と、第 1 内部回路 1 4 と、パッケージ 3 外に引き出される外部接続端子 1 2 と、該外部接続端子 1 2 を接続のための外部接続部 1 3 とを有し、第 2 の半導体チップ 2 は、第 2 内部回路 1 5 と、前記第 1 の半導体チップ 1 と接続するための複数の第 2 のチップ間接続部 1 1 とを備えている。
15

さらに、前記複数の第 1 のチップ間接続部 1 0 と複数の第 2 のチップ間接続部間 1 1 とを直接接続するボンディングワイヤ 9 が設けられ、前記外部接続端子 1 2 より入力される制御信号が、前記電圧変換回路 4 で減圧され、前記第 1 のチップ間接続部 1 0 と前記第 2 のチップ間接続部 1 1 とを介して前記第 2 内部回路 1 5 に供給される構成になっている。
20

25 図 3 は本実施形態における電圧変換回路 4 の一例を示す回路図で

あり、電源電圧端子 3 1 と低耐圧用電源端子 3 2 とシリアルデータ入力端子 3 3 と出力端子 3 4 と GND 端子 3 5 と参照電圧用端子 3 6 と定電流源 3 7 と抵抗 3 8 - 1, 3 8 - 2 と PNP 差動対トランジスタ (Tr) 3 9 と電流ミラー回路 4 0 - 1 ~ 4 0 - 3 とを備えている。

また、前記電源電圧端子 3 1 は電源 7 に、低耐圧用電源端子 3 2 は低耐圧用チップの耐圧以下に設定された電源電圧に、シリアルデータ入力端子 3 3 はシリアルデータ用外部接続端子 1 2 に、出力端子 3 4 は第 1 のチップ間接続部 1 0 に、それぞれ接続されている。

前記シリアルデータ入力端子 3 3 には、電源 7 と同じ電圧の振幅が入力され、その電圧が参照電圧用端子 3 6 に印加される電圧より高いか低いかによって、PNP 差動対 Tr 3 9 のいずれか一方の Tr が ON あるいは OFF し、同時に電流ミラー回路 4 0 - 1 あるいは 4 0 - 2 のいずれか一方が ON / OFF する。そして最終的に低耐圧用電源端子 3 2 に印加される電源電圧と同じ振幅値のシリアルデータ信号が得られることになる。

前記構成により、低耐圧の第 2 の半導体チップ 2 に高電圧を直接印加することなく、シリアルデータの伝送、および制御信号の伝達を行うことができる。

また図 4 は本発明の実施形態 3 のマルチチップ型半導体装置の構成を示すブロック図である。高耐圧チップ 1 は耐圧 10 V で電源 7 は最大 7 V まで変化する。低耐圧チップ 2 の耐圧は 3.6 V である。

電源 7 は電圧変換回路 4 の電源 3 1 と 3 V レギュレータ 5 0 の電源端子に接続されている。3 V レギュレータ 5 0 の出力は前記電圧変換回路 4 の出力側電源 3 2 と、ポンディングワイヤー 9、複数の

第1チップ間接続部10、複数の第2チップ間接続部11を介して
第2シリアルデコーダ5の入力回路の電源端子53に接続される。

一方前記電圧変換回路4の出力端子34はボンディングワイヤー
9、複数の第1チップ間接続部10、複数の第2チップ間接続部1
5 1を介して第2シリアルデコーダ5の入力回路の入力端子54に接
続される。

図5は第2シリアルデコーダ5の入力回路であり、入力端子54、
後段回路に接続される出力端子56、電源端子53、グランド端子
55を有している。

10 上記構成で外部接続端子12に入力される最大7V振幅のシリアルデータは、3V振幅に制限されたシリアルデータに電圧変換され、
低耐圧チップ2の耐圧を超えることなく、低耐圧チップ2に供給さ
れる。

15 産業上の利用可能性

本発明は、複数の半導体チップを同一パッケージに収容したマルチチップ型半導体装置に適用され、特に外部接続端子数を大幅に増加することなく、かつ外部の電圧変換回路が不要な構成であって、シリアルデータを伝送することを可能にするマルチチップ型半導体
20 装置に実施して有効である。

請 求 の 範 囲

1. 第1の半導体チップ(1)と第2の半導体チップ(2)とを
パッケージ(3)内で相互接続して構成されるマルチチップ型半導
5 体装置であって、

前記第1の半導体チップ(1)は、電圧変換回路(4)と、前記
第2の半導体チップ(2)と接続するための複数の第1のチップ間
接続部(10)と、第1シリアルデコーダ(6)と、前記パッケー
ジ(3)外に引き出される外部接続端子(12)と、該外部接続端
10 子(12)に接続するための外部接続部(13)とを備え、

前記第2の半導体チップ(2)は、第2シリアルデコーダ(5)
と、前記第1の半導体チップ(1)と接続するための複数の第2の
チップ間接続部(11)とを備え、

前記複数の第1のチップ間接続部(10)と前記複数の第2のチ
15 ップ間接続部(11)とを直接接続するポンディングワイヤ(9)
を備え、

前記外部接続端子(12)より入力されるシリアルデータが前記
電圧変換回路(4)と前記第1のチップ間接続部(10)と前記第
2のチップ間接続部(11)とを介して前記第2シリアルデコーダ
20 (5)に伝達されるように構成したことを特徴とするマルチチップ
型半導体装置。

2. 前記第1の半導体チップ(1)は高電圧を印加可能なもので
あり、前記第2の半導体チップ(2)は、前記第1の半導体チップ
25 (1)よりも耐圧が低く、かつ外部から印加されるシリアルデータ

の電圧より耐圧が低いものであることを特徴とする請求項 1 記載のマルチチップ型半導体装置。

3. 前記第 1 の半導体チップ（1）および前記第 2 の半導体チップ（2）は、マイクロコンピュータ（8）からのシリアルデータによって制御されることを特徴とする請求項 1 または 2 記載のマルチチップ型半導体装置。

4. 第 1 の半導体チップ（1）と第 2 の半導体チップ（2）とを 10 パッケージ（3）内で相互接続して構成されるマルチチップ型半導体装置であって、

前記第 1 の半導体チップ（1）は、電圧変換回路（4）と、前記第 2 の半導体チップ（2）と接続するための複数の第 1 のチップ間接続部（10）と、第 1 内部回路（14）と、前記パッケージ（3） 15 外に引き出される外部接続端子（12）と、該外部接続端子（12）と接続するための外部接続部（13）とを備え、

前記第 2 の半導体チップ（2）は、第 2 内部回路（15）と、前記第 1 の半導体チップ（1）と接続するための複数の第 2 のチップ間接続部（11）とを備え、

20 前記複数の第 1 のチップ間接続部（10）と複数の第 2 のチップ間接続部（11）とを直接接続するボンディングワイヤ（9）を備え、

前記外部接続端子（12）より入力される制御信号が前記電圧変換回路（4）と前記第 1 のチップ間接続部（10）と前記第 2 のチップ間接続部（11）とを介して前記第 2 内部回路（15）に伝達 25 25

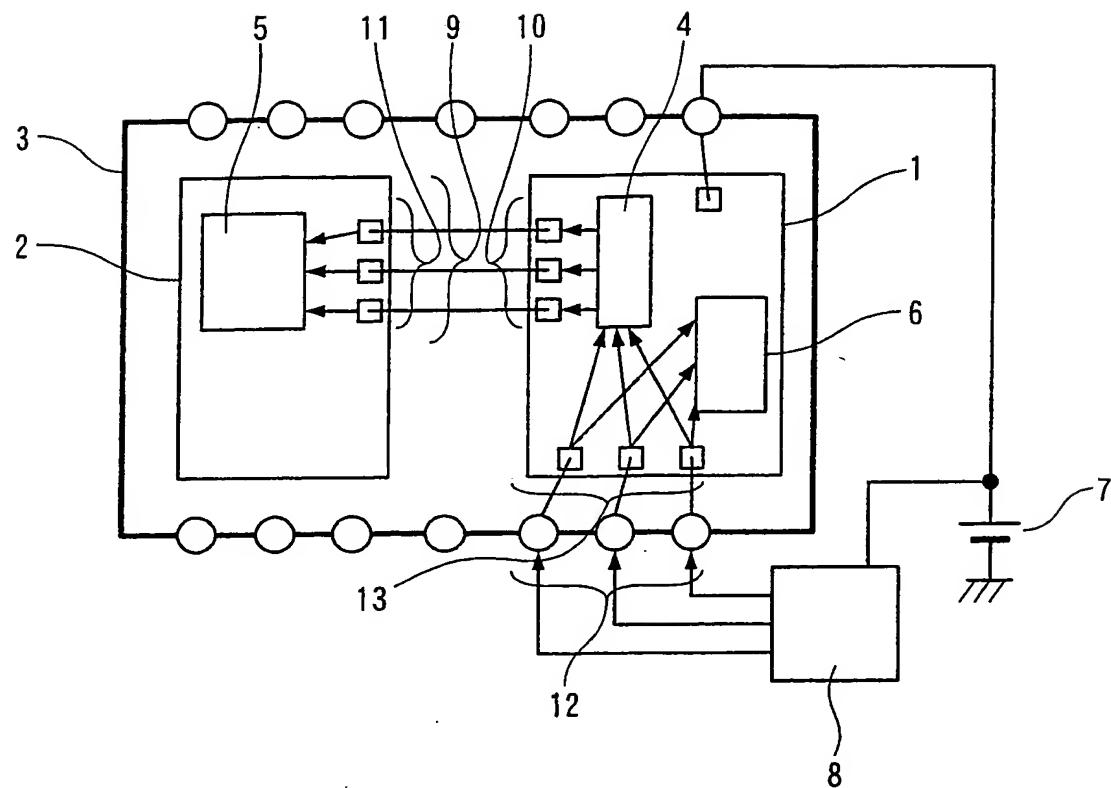
されるように構成したことを特徴とするマルチチップ型半導体装置。

5. 前記第1の半導体チップ（1）は高電圧を印加可能なもので
あり、前記第2の半導体チップ（2）は、前記第1の半導体チップ
5 （1）よりも耐圧が低く、かつ外部から印加される制御信号の電圧
より耐圧が低いものであることを特徴とする請求項4記載のマルチ
チップ型半導体装置。

6. 前記第1の半導体チップ（1）および前記第2の半導体チッ
10 プ（2）は、マイクロコンピュータ（8）からの制御信号によって
制御されることを特徴とする請求項4または5記載のマルチチップ
型半導体装置。

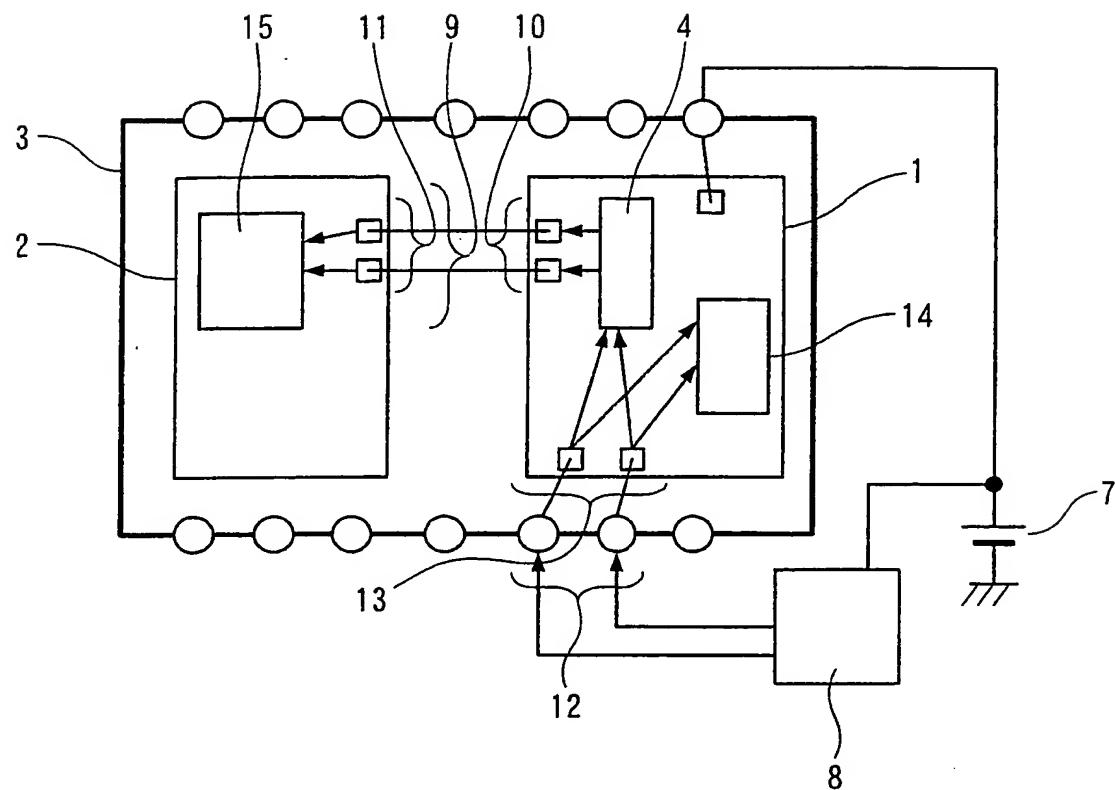
1 / 5

図 1



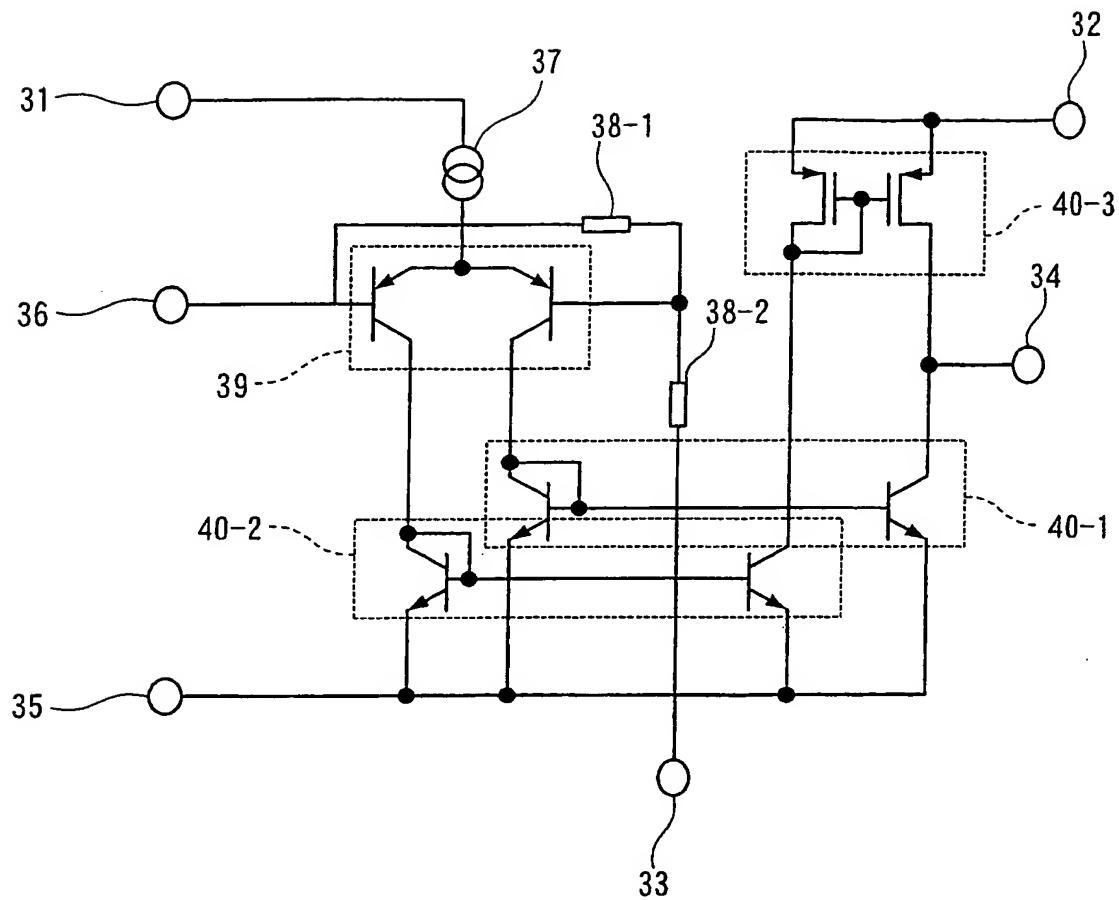
2 / 5

図 2



3 / 5

図 3



4 / 5

図 4

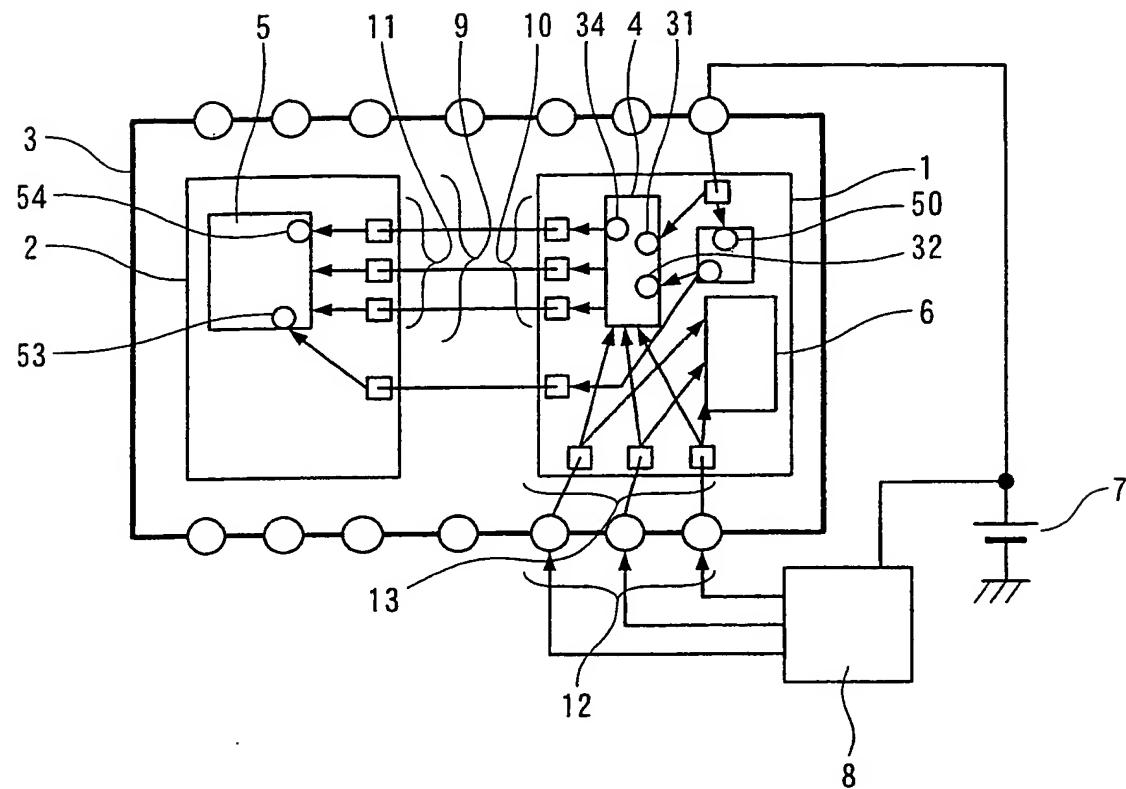
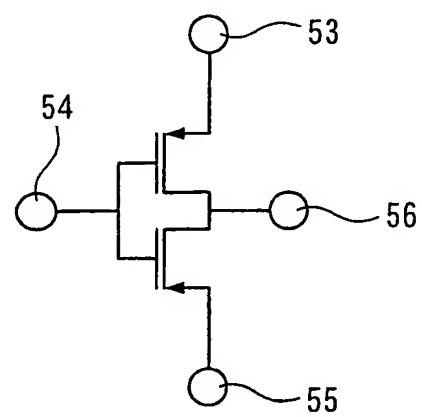
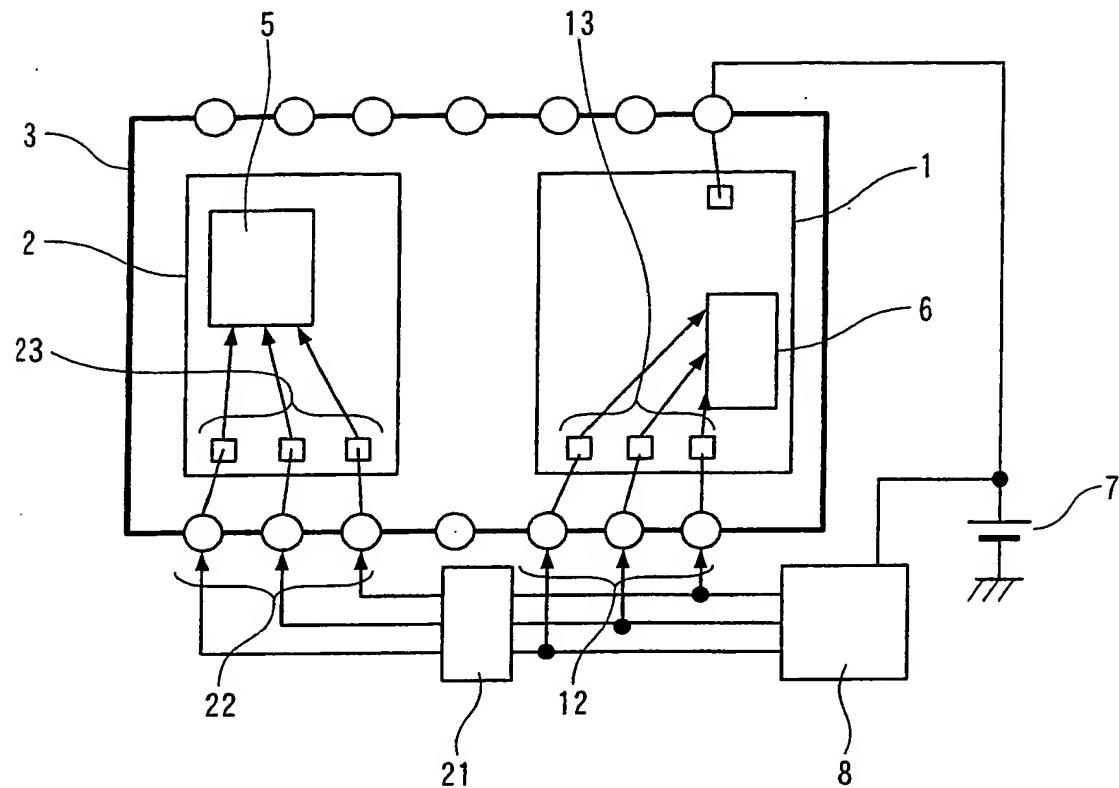


図 5



5 / 5

図 6



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/011395

A. CLASSIFICATION OF SUBJECT MATTER
Int.Cl' H01L25/04, H01L25/18

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHEDMinimum documentation searched (classification system followed by classification symbols)
Int.Cl' H01L25/04, H01L25/18

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho 1922-1996 Toroku Jitsuyo Shinan Koho 1994-2004
Kokai Jitsuyo Shinan Koho 1971-2004 Jitsuyo Shinan Toroku Koho 1996-2004

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2003-197851 A (Sony Corp.), 11 July, 2003 (11.07.03), Par. Nos. [0023] to [0031], [0036] to [0043]; Figs. 1, 7, 11 (Family: none)	1-6
A	JP 11-86546 A (Fujitsu Ltd.), 30 March, 1999 (30.03.99), Claims 1, 6, 8; Par. Nos. [0054] to [0058]; Fig. 3 & US 6078514 A & TW 402801 B	1-6
A	JP 11-68028 A (Matsushita Electric Industrial Co., Ltd.), 09 March, 1999 (09.03.99), Par. Nos. [0026] to [0057]; Figs. 1, 2 (Family: none)	1-6

 Further documents are listed in the continuation of Box C. See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
01 November, 2004 (01.11.04)Date of mailing of the international search report
16 November, 2004 (16.11.04)Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類 (国際特許分類 (IPC))
Int. C17 H01L25/04, H01L25/18

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))
Int. C17 H01L25/04, H01L25/18

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2004年
日本国登録実用新案公報	1994-2004年
日本国実用新案登録公報	1996-2004年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	JP 2003-197851 A (ソニー株式会社) 2003.07.11 【0023】 - 【0031】 【0036】 - 【0043】 【図1】 【図7】 【図11】 (ファミリーなし)	1-6
A	JP 11-86546 A (富士通株式会社) 1999.03.30 【請求項1】 【請求項6】 【請求項8】 【0054】 - 【0058】 【図3】 & US 6078514 A & TW 402801 B	1-6

C欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献(理由を付す)

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

01. 11. 2004

国際調査報告の発送日

16.11.2004

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)

郵便番号 100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官(権限のある職員)

今井 拓也

4R 9169

電話番号 03-3581-1101 内線 3469

C (続き) 関連すると認められる文献		関連する 請求の範囲の番号
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	
A	JP 11-68028 A (松下電器産業株式会社) 1999.03.09 【0026】 - 【0057】 【図1】 【図2】 (ファミリーなし)	1-6